

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-149686

(43)Date of publication of application : 31.05.1994

(51)Int.Cl. G06F 13/00
G06F 11/30
G06F 13/28

(21)Application number : 04-299470

(71)Applicant : FUJITSU LTD

(22)Date of filing : 10.11.1992

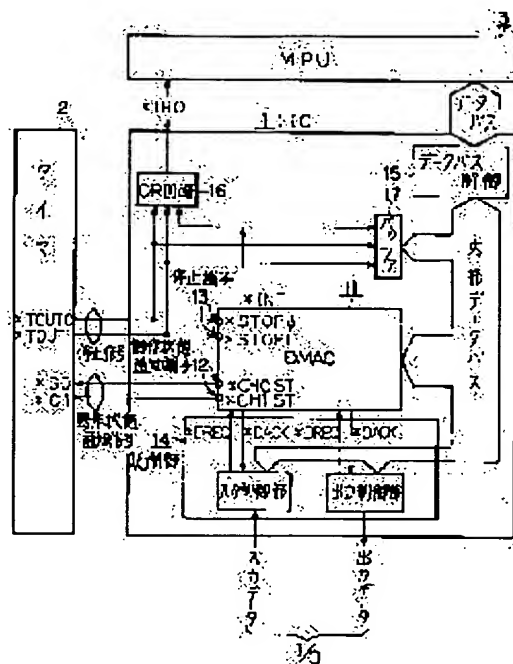
(72)Inventor : KAMODA HISAO

(54) CHANNEL INTERRUPTION CONTROL SYSTEM

(57)Abstract:

PURPOSE: To attain the accurate timer monitoring of a DMAC and to reduce overhead by providing an operation status informing terminal and a stop terminal at every channel of the DMAC, directly activating/stopping a timer by hardware, and at the time of generating time-out, directly stopping a CMA in the DMAC.

CONSTITUTION: At the time of activating the DMAC 11, the timer 2 is directly activated by an operation status informing signal outputted from an operation status informing terminal 12 at every channel, and at the time of generating time-out, a stop signal is inputted to the stop terminal 13 so as to directly stop the operation of the DMAC 11. An interruption signal IRQ generated with the stop signal obtained when the timer 2 generates time-out as one of interruption factors is informed to a DMA requesting source to generate an interruption, the effect of the stop signal generated at the time of time-out in the interrupting processing is read out from a buffer 17 as status and a DMA transfer requesting source is allowed to recognize the generation of time-out.



LEGAL STATUS

[Date of request for examination] 27.01.1999

[Date of sending the examiner's decision of rejection] 04.02.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/00	3 0 1 B	7368-5B		
11/30	3 1 0 A	9290-5B		
13/28	3 1 0 D	9072-5B		

審査請求 未請求 請求項の数 2 (全 8 頁)

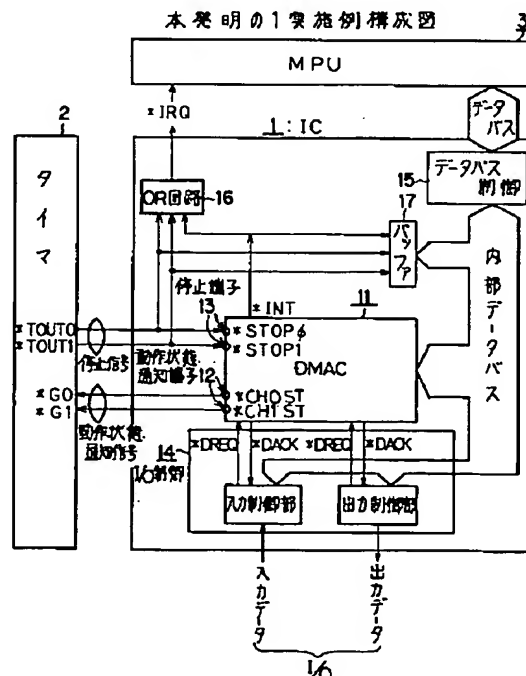
(21)出願番号	特願平4-299470	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成4年(1992)11月10日	(72)発明者	嶋田 久男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 岡田 守弘

(54)【発明の名称】 チャンネル割込制御方式

(57) 【要約】

【目的】 本発明は、チャネル毎にタイマ監視して割り込みを制御するチャネル割込制御方式に関し、DMACのチャネル毎の動作状態通知端子と停止端子を設けてタイマをハードウェアで起動／停止し、正確なタイマ監視を実現すると共にオーバーヘッドを軽減することを目的とする。

【構成】 DMAC 11のチャンネル毎の動作状態通知端子12および停止端子13を設け、この動作状態通知端子12からの動作状態通知信号によってタイマ2を直接に起動すると共に、この起動したタイマ2がタイムアウトしたときに停止信号を上記停止端子13に直接に入力して停止させるように構成する。



【特許請求の範囲】

【請求項1】チャンネル毎にタイマ監視して割り込みを制御するチャンネル割込制御方式において、

DMAC (11) のチャンネル毎の動作状態通知端子 (12) および停止端子 (13) を設け、

この動作状態通知端子 (12) からの動作状態通知信号によってタイマ (2) を直接に起動すると共に、この起動したタイマ (2) がタイムアウトしたときに停止信号を上記停止端子 (13) に直接に入力して停止させるように構成したことを特徴とするチャンネル割込制御方式。

【請求項2】上記停止信号を割込み要因の1つとして生成した割込信号IRQをDMA要求元に通知して割込みを発生させ、この割込みの処理の中でタイムアウトしたときの停止信号である旨をステータスとしてバッファ (17) からリードし得るように構成したことを特徴とした請求項1記載のチャンネル割込制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、チャンネル毎にタイマ監視して割り込みを制御するチャンネル割込制御方式に関するものである。

【0002】

【従来の技術】従来、DMACとI/O制御を1チップにした図5に示すようなICは、I/OのDMA転送の起動から停止までのタイマ監視を行う場合、外部からチャンネルの動作状態を見る信号端子や、外部からチャンネルを停止させるための信号端子がないため、ソフト的にタイマ監視を行うようにしていた。以下図5の構成および動作を簡単に説明する。

【0003】図5において、DMAC21は、メモリ間のデータ転送を制御するものである。I/O制御22は、I/Oに対する入出力を制御するものである。

【0004】データバス制御23は、データバスに対する入出力を制御するものである。タイマ24は、時間を計測するものである。MPU25は、プログラムに従って各種処理を行うものであって、ここでは、DMA転送起動時にソフト的にタイマ24を起動し、タイムアウトを監視したりなどするものである。

【0005】次に、動作を説明する。

(1) MPU25からDMAの起動を受け付けたDMAC21がDMA転送を開始する。このとき、MPU25は、タイマ24にソフト的にタイマ起動する。

【0006】(2) DMAC21は、正常にDMA転送を終了した場合には、*IRQの割り込みでMPU25に正常終了の旨を通知する。一方、DMA転送が何らかの障害によって終了しない場合、(1)で起動したタイマ24からタイムアウトの旨の割り込みで通知を受けたMPU25はDMA転送に障害が発生したと判断する。

【0007】

【発明が解決しようとする課題】上述したように、従来は、タイマ24をソフト的に起動していたため、タイマ24を起動するのにソフト処理が入り、スタートが遅れてしまう問題があった。例えば図6に示すように、①の位置で送信DMA動作を行い、次に受信DMA動作を行う場合、当該受信DMA動作の起動時にソフト的にタイマ24を起動していたのでは、タイマスタートよりも先に受信が開始される可能性があつて行えない。そのため、②の位置でタイマスタートをソフト的に行うようにしていた。

【0008】しかし、この②の位置でタイマスタートすることは、送信データ長によりタイマ値をソフトで変更する処理が必要となってしまうと共に、更にソフトによりタイマ24を起動することを多用すると、OSのオーバーヘッドが多くなり、全体の処理速度が低下してしまうという問題があった。

【0009】本発明は、これらの問題を解決するため、DMACのチャンネル毎の動作状態通知端子と停止端子を設けてタイマをハードウェアで起動/停止し、正確なタイマ監視を実現すると共にオーバーヘッドを軽減することを目的としている。

【0010】

【課題を解決するための手段】図1を参照して課題を解決するための手段を説明する。図1において、DMAC11およびI/O制御14は、1チップとなったIC1などであつて、DMA転送制御を行うものである。

【0011】動作状態通知端子12は、DMAC11の動作状態を外部に通知するための端子である。停止端子13は、DMAC11を外部から停止させるための端子である。

【0012】タイマ2は、時間計測して所定時間を経過したときにタイムアウトを送出するものである。

【0013】

【作用】本発明は、図1に示すように、DMAC11の起動時にチャンネル毎の動作状態通知端子12からの動作状態通知信号によってタイマ2を直接に起動し、タイムアウトしたときに停止信号を停止端子13に入力して直接にDMAC11の動作を停止させるようにしている。

【0014】また、タイマ2がタイムアウトしたときの停止信号を割込み要因の1つとして生成した割込信号IRQをDMA要求元に通知して割込みを発生させ、この割込みの処理の中でタイムアウトしたときの停止信号である旨をステータスとしてバッファ17からリードし、タイムアウト発生した旨をDMA転送依頼元が認識するようにしている。

【0015】従って、DMAC11のチャンネル毎の動作状態通知端子12および停止端子13を設けてタイマ2をハードウェアで起動/停止することにより、DMAC11の正確なタイマ監視を実現すると共にオーバーヘッドを軽減することが可能となる。

【0016】

【実施例】次に、図1から図4を用いて本発明の実施例の構成および動作を順次詳細に説明する。

【0017】図1は、本発明の1実施例構成図を示す。図1において、IC1は、DMAC11、I/O制御14、データバス制御15、OR回路16、およびバッファ17などを1チップにまとめたICであって、メモリ間のデータ転送を制御するものである。

【0018】DMAC11は、DMA転送を制御するものであって、チャンネル毎に動作状態通知端子12および停止端子13を設けて外部に動作状態通知信号を送出したり、外部からの停止信号を取り込んだりなどするものである。動作状態通知端子12から外部に送出する動作状態通知信号は、DMAC11のチャンネルがDMA転送を開始した旨の信号である。停止端子13から内部に入力する停止信号は、DMAC11の該当チャンネルのDMA転送を停止させる信号である。ここで、DMAC11の内部で、DMA転送時にバイトカウンタのカウント終了や、I/O制御部14の終了コード検出や、転送エラーなどのときに*INTを発生させ、OR回路16で他の割り込み要因と論理和演算して*IRQを発生させ、MPU3に割り込み通知している。

【0019】I/O制御14は、I/Oに対して出力データを送出したり、I/Oからの入力データを取り込んだりなどのI/Oに対するデータ転送制御を行うものであって、I/Oからの入力データを取り込む入力制御部およびI/Oに出力データを送出する出力制御部から構成されるものである。

【0020】データバス制御15は、データバスとの間のデータの入出力を制御するものである。OR回路16は、タイマ2からのチャンネル毎のタイムアウト（停止信号）およびDMAC11からの*INT（DMA転送の完了通知などのための割り込み信号）の論理和演算を行う回路である。このOR回路16で論理和演算した結果の信号*IRQは、MPU3に割り込み信号として入力する。

【0021】バッファ17は、*IRQによって割り込みが発生したときに、割り込み処理の中でMPU3がその割り込み要因をリードするためのバッファである。タイマ2は、時間を計測するものであって、ここでは、DMAC11の動作状態通知端子12からのチャンネル毎の動作状態通知信号が入力されたときにタイマ起動したり、予め設定された時間を経過してタイムアウトとなったときに停止信号をDMAC11の停止端子13に入力して当該DMAC11のチャンネル毎のDMA動作を停止させたりするものである。

【0022】MPU3は、プログラムに従って各種制御を行うものであって、ここでは、DMA転送要求をDMAC11に通知したり、DMAC11などからの*IRQによる割り込みによって起動された割り込み処理の中でバ

ッファ17の内容をリードしていずれの割り込み要因（タイムアウト、依頼したDMA転送の正常終了など）かを認識したりなどするものである。

【0023】次に、図2を用いて正常DMA転送時の図1の構成の動作を詳細に説明する。図2において、S1は、MPUからのDMAの起動を受け付ける。これは、図1のDMAC11がMPU3からのDMAの起動（DMA転送の起動）を受け付ける。

【0024】S2は、DMA起動する。これは、DMAC11がS1でDMAの起動を受け付けたことに対応して、DMA転送を起動する。S3は、DMA転送する。これは、DMAC11の制御のもとでメモリ間のデータ転送を行う。

【0025】この際、S7で動作状態通知信号によりタイマスタートする。これは、DMAC11の動作状態通知端子12から動作状態通知信号をタイマ2に送出し、直接にタイマスタートさせる。

【0026】S4は、DMA転送終了する。この際、S8でタイマストップする。これは、DMAC11が例えばDMAC11の動作状態通知端子12から動作状態通知信号をインアクティブにしてタイマ2を停止させる。

【0027】S5は、MPUに割り込み通知する。これは、DMAC11がS4でDMA転送が正常終了したことに対応して、*INTをOR回路16に入力して*IRQでMPU3に割り込み通知する。

【0028】S6は、MPU3がステータスを読みDMA完了と認識する。これは、S5で割り込み通知を受けたMPU3が割り込み処理の中で、バッファ17の内容をリードし、*INTによる割り込み通知であることを認識し、DMA転送が正常完了と判断する。

【0029】以上によって、DMAC11がDMA起動を受け付け、DMA起動すると共に動作状態通知端子12から動作状態通知信号を外部のタイマ2に通知してタイマ起動し、この場合にはDMA転送が正常終了したので*INTを契機として割り込みをMPU3に通知し、割り込みの処理の中でMPU3がDMA転送が正常終了したと判断する。この際に、動作状態通知端子12から外部に送出した動作状態通知信号によってタイマ2を直接に起動しているため、タイマスタートの起動遅れがないと共にMPU3に負担をかけることがない。

【0030】次に、図3を用いてタイムアウト時の図1の構成の動作を詳細に説明する。図3において、S11は、MPUからのDMAの起動を受け付ける。これは、図1のDMAC11がMPU3からのDMAの起動（DMA転送の起動）を受け付ける。

【0031】S12は、DMA起動する。これは、DMAC11がS11でDMAの起動を受け付けたことに対応して、DMA転送を起動する。S13は、DMA転送する。これは、DMAC11の制御のもとでメモリ間のデータ転送を行う。

【0032】この際、S15で動作状態通知信号によりタイマスタートする。これは、DMAC11の動作状態通知端子12から動作状態通知信号をタイマ2に送出し、直接にタイマスタートさせる。

【0033】S16は、タイムアウト発生する。これは、S15でタイマ2をタイマスタートさせ、予め設定した所定時間を経過してタイムアウトが発生する。S17は、MPUに割り込み通知する。これは、タイマ2から直接受取るとともに、MPUに割り込み通知する。即ち、S16でタイマ2がタイムアウトしたことに

対応して、タイムアウト信号（停止信号）を停止端子13を介してDMAC11に直接に入力すると共に、OR回路16を介して*IRQとしてMPU3に割り込みを通知する。

【0034】この際、S14で、停止端子13から停止信号（タイムアウト信号）を直接に受け取ったDMAC11がDMA転送を強制的に停止する。S18は、MPUがステータスを読み、タイムアウトと判断する。これは、S17で割り込み通知を受けたMPU3が割り込み処理の中で、バッファ17の内容をリードし、タイムアウトによる割り込み通知であることを認識し、DMA転送がタイムアウトしたと判断する。

【0035】以上によって、DMAC11がDMA起動を受け付け、DMA起動すると共に動作状態通知端子12から動作状態通知信号を外部のタイマ2に通知してタイマ起動し、この場合にはDMA転送が正常終了することなく、タイムアウトを契機として割り込みをMPU3に通知し、割り込みの処理の中でMPU3がDMA転送がタイムアウトで異常終了したと判断する。この際に、動作状態通知端子12から外部に送出した動作状態通知信号によってタイマ2を直接に起動し、タイムアウト時にタイムアウト信号（停止信号）をDMAC11の停止端子13に直接に入力してDMA転送を停止および*IRQで割り込み通知をMPU3に行っているため、タイマスタートの起動遅れがないと共に、タイマ3の起動やタイムアウト時のDMAC11のDMA転送停止のためにMPU3の負担をかけることがなく、オーバーヘッドを軽減できる。

【0036】図4は、本発明の動作説明図を示す。これは、図1の構成におけるタイムチャートである。図4の(a)は、通常のタイムチャートを示す。これは、図2の正常DMA転送時のタイムチャートである。ここで、*CH*STは、DMAC11の動作状態通知端子12からチャンネル毎にDMA転送起動時に送出する動作状態通知信号であって、*CH0ST（チャンネルCH0の動作状態通知信号）や*CH1ST（CH1の動作状態通知信号）などである。

【0037】*TOUT*は、タイマ2がタイムアウトしたときに送出するチャンネル毎の信号（停止信号）であって、*TOUT0（チャンネルCH0のタイムアウト信

号）や*TOUT1（チャンネルCH1のタイムアウト信号）などである。

【0038】*INTは、DMAC11のDMA転送が正常終了などしたときに送出する信号である。図4の(a)において、①は、DMA起動したことに

対応して、*CH*ST（動作状態通知信号）がアクティブとなり、DMAC11がこの動作状態通知信号をタイマ2に通知して起動し、動作状態にする（図2のS7）。

【0039】②は、チップ内の割り込み要求が発生したことに

対応して、*INTを送出してMPU3に割り込みでDMA転送終了を通知すると共に、*CH*STをインアクティブにしてタイマ2の動作を停止させる。

【0040】以上によって、DMAC11が①でDMA起動したときに、*CH*STでタイマ2を直接に起動し、DMA転送終了時に*INTでMPU3に終了を通知すると共に、*CH*STをインアクティブにしてタイマ2を停止させる。これらにより、タイマ2の起動、停止をDMAC11が*CH*ST（動作状態通知信号）を使用して直接に行い、MPU3に負担をかけないと共に遅れなく起動することが可能となる。

【0041】図4の(b)は、タイムアウト時のタイムチャートを示す。これは、図3のタイムアウト時のタイムチャートである。ここで、*CH*ST、*TOUT*、および*INTは図4の(a)と同様であるので、説明を省略する。

【0042】図4の(b)において、③は、DMA起動したことに

対応して、*CH*ST（動作状態通知信号）がアクティブとなり、DMAC11がこの動作状態通知信号をタイマ2に通知して起動し、動作状態にする（図3のS15）。

【0043】④は、タイマ3にタイムアウト発生したことに

対応して、*TOUT*（停止信号）をDMAC11に入力してDMA転送停止などする。詳述すれば、*TOUT*（停止信号）を送出してDMAC11の停止端子13から入力し、当該DMAC11を直接にDMA停止すると共に、OR回路16を介して*IRQをMPU3に通知して割り込みの中でMPU3がタイムアウトをバッファ17からリードして認識する。そして、DMAC11は、*CH*STをインアクティブにすると共に必要に応じて*INTをアクティブにする。

【0044】以上によって、DMAC11が③でDMA起動したときに、*CH*STでタイマ2を直接に起動し、④でタイムアウト発生したときに*TOUT*をDMAC11に直接に入力してDMA停止および*IRQをMPU3に通知してタイムアウトによる終了の旨を通知する。これらにより、タイマ2の起動、停止をDMAC11が*CH*ST（動作状態通知信号）を使用して直接に行い、しかもタイムアウト発生時に*TOUT*（停止信号）によって直接にDMAC11によるDMA停止を行い、MPU3に負担をかけないと共にタイマ起

10

20

30

40

50

動を遅れなく起動することが可能となる。

【0045】

【発明の効果】以上説明したように、本発明によれば、DMAC 11のチャンネル毎の動作状態通知端子12および停止端子13を設けてタイマ2をハードウェアで直接に起動/停止、更にタイムアウト発生時にDMAC 11のDMA停止を直接に行ったりする構成を採用しているため、DMAC 11の正確なタイマ監視を実現すると共にオーバーヘッドを軽減することができる。また、DMAC 11およびI/O制御14、更に必要な外部回路（OR回路16、バッファ17など）をチップ内に収めることにより、省スペースを図ることが可能となる。

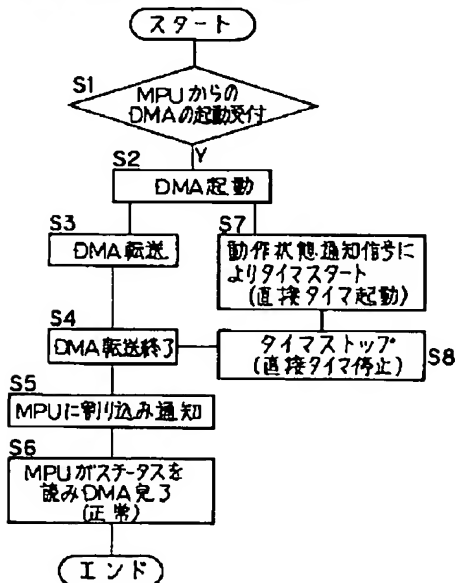
【図面の簡単な説明】

【図1】本発明の1実施例構成図である。

【図2】本発明の正常DMA転送時のフローチャートである。

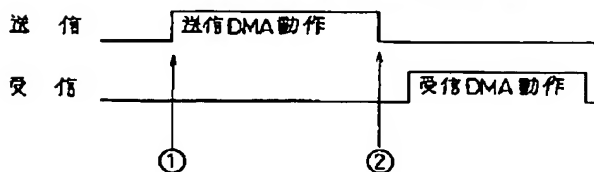
【図2】

本発明の正常DMA転送時のフローチャート



【図6】

従来技術の動作説明図



【図3】本発明のタイムアウト時のフローチャートである。

【図4】本発明の動作説明図である。

【図5】従来技術の構成図である。

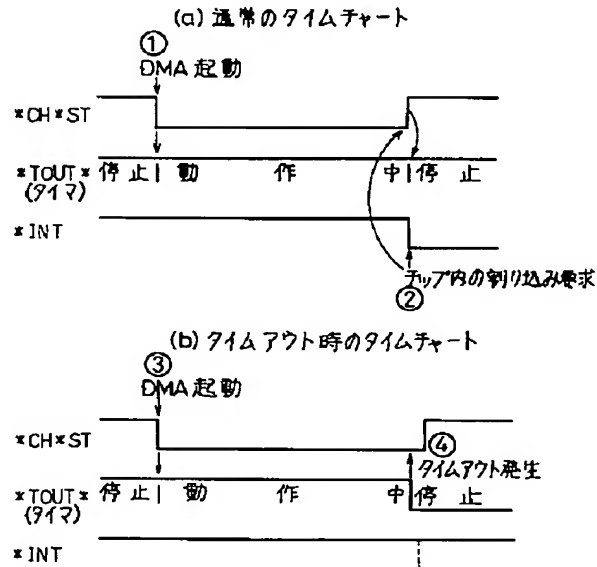
【図6】従来技術の動作説明図である。

【符号の説明】

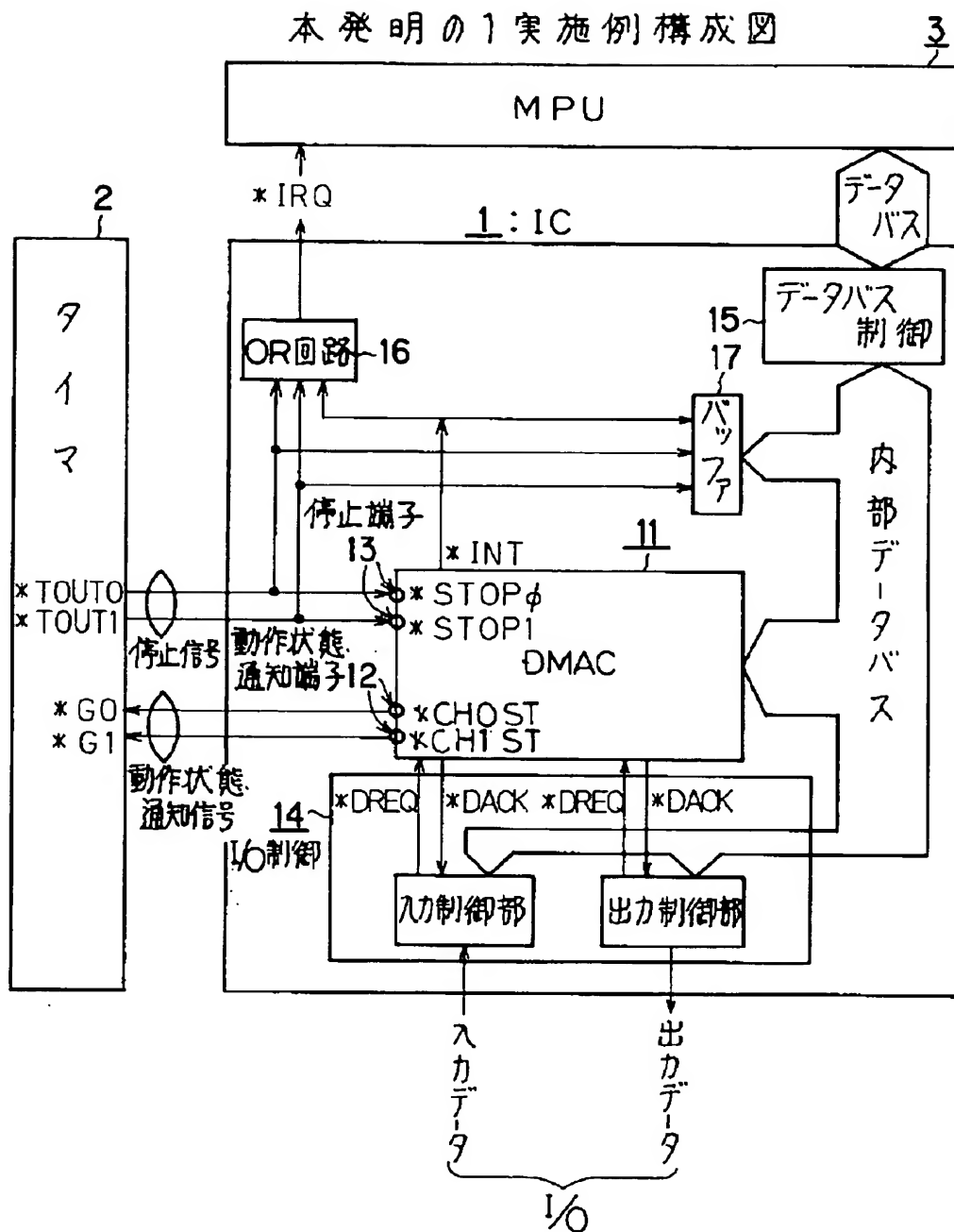
- 1 : IC
- 11 : DMAC
- 12 : 動作状態端子
- 13 : 停止端子
- 14 : I/O制御
- 15 : データバス制御
- 16 : OR回路
- 17 : バッファ
- 2 : タイマ
- 3 : MPU

【図4】

本発明の動作説明図



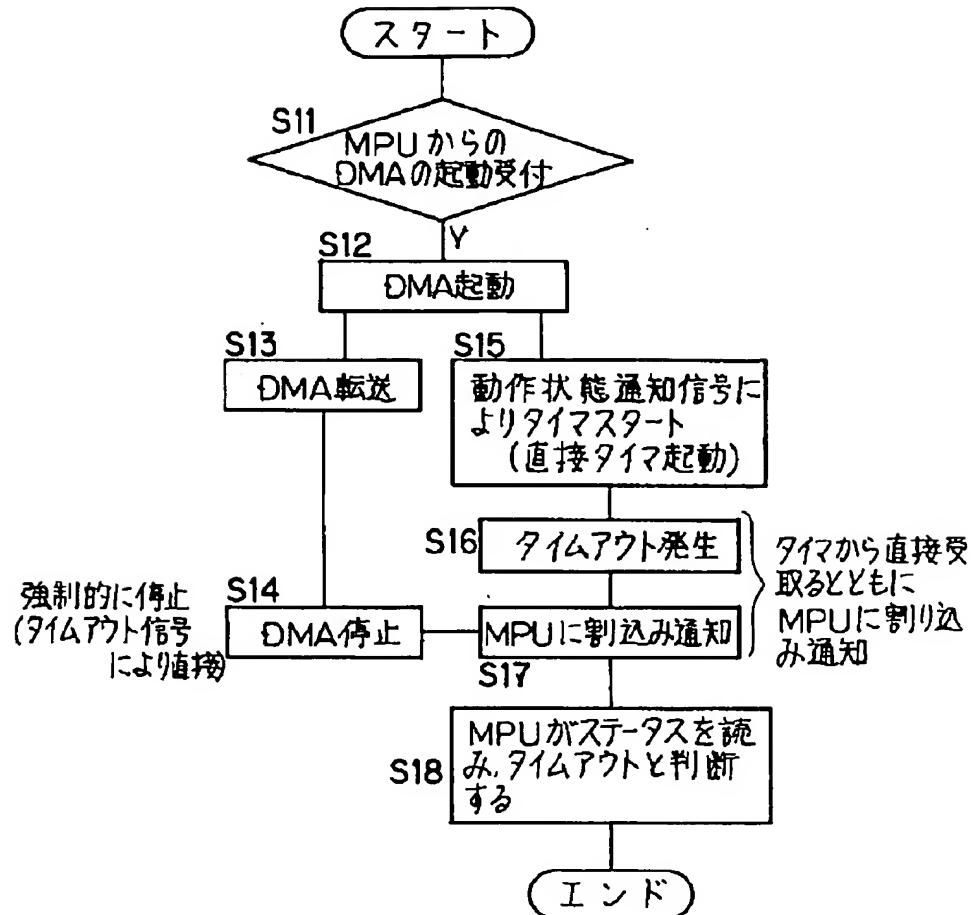
【図1】



BEST AVAILABLE COPY

【図3】

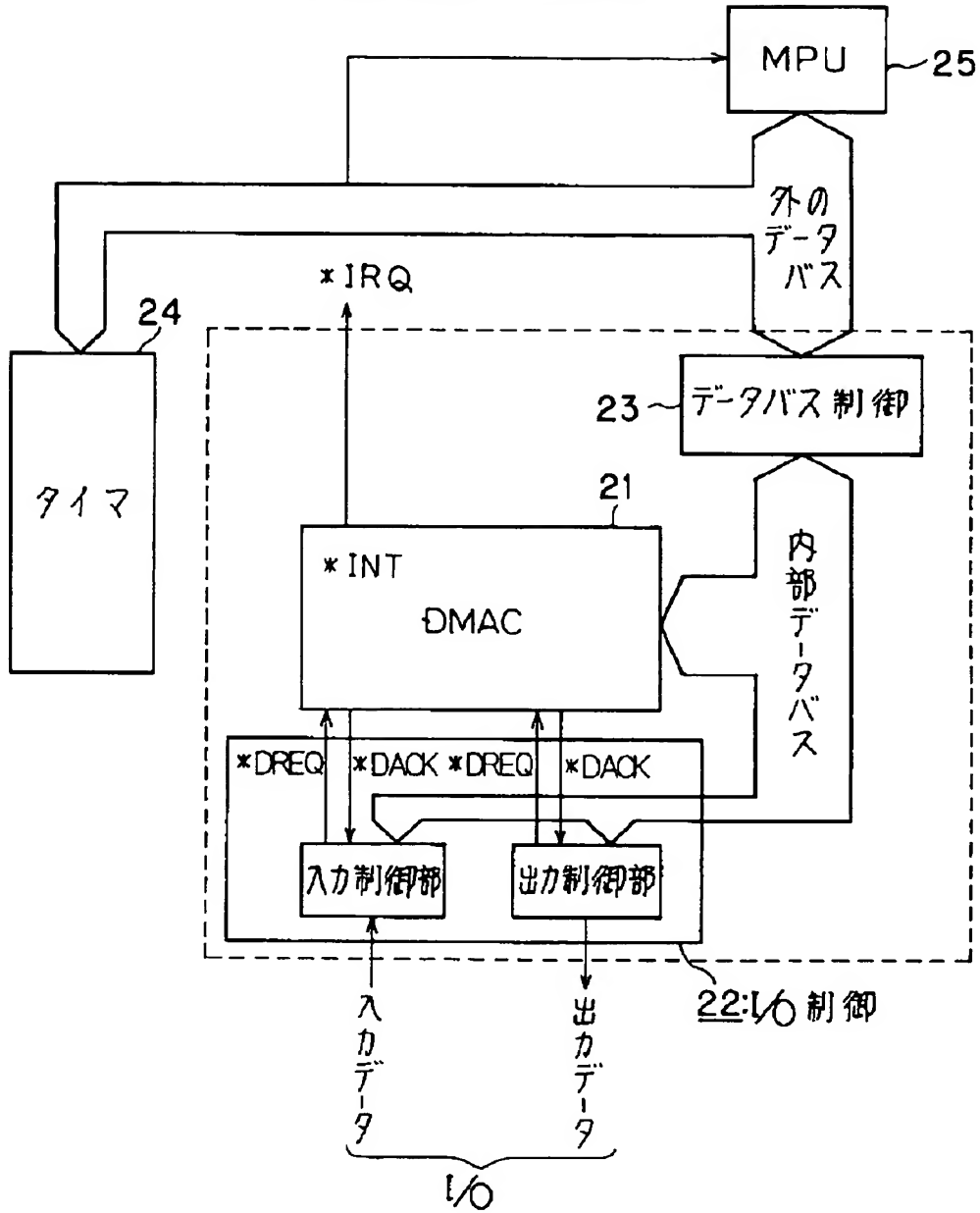
本発明のタイムアウト時のフローチャート



BEST AVAILABLE COPY

【図5】

従来技術の構成図



BEST AVAILABLE COPY